

基于 RAS 结构优化测试时间和数据量的测试方案

梁华国, 祝沈财, 陈 田, 张 念
(合肥工业大学计算机与信息学院, 安徽合肥 230009)

摘 要: 大规模高密度的集成电路在测试中遇到了测试数据量大, 测试时间长等问题. 对此, 本文提出了一种带有折叠集的完全测试方案. 该方案利用 RAS (Random access scan) 结构控制经输入精简的扫描单元, 先生成若干折叠集检测电路中大部分的故障, 然后直接控制扫描单元生成剩余故障的测试向量. 本方案生成的折叠集故障检测率高, 所需控制数据少. 实验数据表明与同类方法相比, 本方案能有效减少测试数据量和测试时间.

关键词: 输入精简; 折叠计数器; 数据压缩; 随机访问扫描

中图分类号: TP306.2 **文献标识码:** A **文章编号:** 0372-2112 (2008) 12-2418-05

A Test Scheme Based on RAS Structure to Reduced Test Volume and Time

LIANG Huaguo, ZHU Sherr cai, CHEN Tian, ZHANG Nian
(School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: The high density and large scale IC meets lots of problems during test, such as huge amount of test data, long test time and so on. This paper presents a full test scheme by using folding test sets. Firstly several folding test sets are generated by random access scan structure in scan cells which are grouped by input reduction technology to detect most of the faults in circuit under test. Then data in scan cells are modified directly to provide test patterns for the remaining faults. The folding test sets are efficient in detecting faults and they need less control information. Experiment results show that it has shorter test time and higher test data compression ratio comparing with other schemas based on RAS.

Key words: input reduction; folding counter; data compression; random access scan

1 引言

随着集成电路系统复杂度增加, 特别是片上系统 (System on a Chip, SoC) 的出现, 集成电路测试面临越来越多的问题. 其中主要的三个问题是: 测试时间长, 测试数据量大, 测试功耗高. 测试时间长将影响芯片的生产周期, 直接增加芯片成本. 测试数据量大, 使得测试设备必须有大量容量的存储器. 测试功耗过高增加了芯片封装的难度和成本, 过高的功耗还会影响电路的稳定性, 降低成品率甚至烧毁电路. 为了解决上述三个问题, 许多人做了相关的研究.

文献[1, 2, 5]提出各种基于串行扫描链结构的解决方法. 测试数据编码技术^[1]和基于折叠计数器方法^[5], 有效的降低了数据存储量. 过滤无效向量的方法^[2], 有

效的降低了测试功耗和测试时间. 上述方法不能同时解决测试中遇到的三个问题, 并且一个问题的解决往往是以加剧另一个问题为代价的.

文献[3, 4]提出了基于 RAS 结构的并行测试方法. 在 RAS 结构中, 每个扫描单元可以独立寻址, 数据可以直接输到扫描单元中. 这样避免了串行扫描结构中, 数据扫描移位带来的功耗和时间问题. 基于一维寻址方式的 RAS 结构^[3], 硬件控制复杂度较高. 基于二维寻址方式的 RAS 结构^[4], 有效的降低硬件开销. 在测试数据处理上, 文献[3, 4]主要用了测试向量和扫描单元重排的方法. 这些数据处理方法过分的追求功耗的降低, 许多方法的功耗还不到传统方法的 1%, 电路功耗比在正常工作状态还小得多, 这显然没有必要的. 但在减少测试数据量和测试时间方面仍有待改进.

收稿日期: 2007-07-31; 修回日期: 2008-06-10

基金项目: 国家自然科学基金 (No. 90407008); 国家自然科学基金重点项目 (No. 60633060); 安徽省自然科学基金 (No. 050420103); 合肥工业大学研究发展基金 (No. 060501f); 安徽省青年教师基金 (No. 2006jql015)

本文提出了一种基于一维寻址 RAS 结构的测试方案. 该方案中 RAS 结构控制经过宽度压缩的扫描链, 每次一组扫描单元的数据同时发生变化. 本方案先在扫描链中生成几个折叠集测试电路中大部分的故障, 然后直接翻转扫描单元得到剩余故障的测试向量实现完全测试. 本方案有如下特点: 输入精简技术的使用减少了折叠集中向量的个数, 并且测试时一个时钟周期就能生成一个折叠向量, 从而减少了测试时间; 折叠集的生成只需要记录折叠种子, 同时输入精简技术也减少了记录数据的宽度, 因此测试数据量得到了有效的降低; 本方案测试数据间的变化较少使得测试期间电路节点的跳变较少, 从而控制了测试功耗.

这篇文章的组织结构如下: 第 2 节是折叠计数器回顾和测试数据压缩处理; 第 3 节给出了本文 RAS 扫描单元组织方法; 第 4 节介绍了本方案的解压电路结构; 第 5 节介绍本方案的综合过程并分析相关参数. 第 6 节是实验结果及分析. 第 7 节结束语.

2 折叠计数器回顾和测试数据压缩处理

折叠计数器又称为可编程约翰逊计数器^[5]. 其结构可在移位寄存器的反馈环上增加翻转控制电路, 生成该计数器状态序列. 表 1 给出了一个折叠计数器生成的完整状态向量序列实例. 其生成的规律可以是: 相邻向量保留前一个向量列出序号位不变, 翻转所有剩余位. 一个 4 位的初始向量可生成 5 个向量序列. 按表 1 顺序生成的向量序列间相关性很小, 相邻向量间跳变过多. 通过观察发现, 表 1 中间隔一个向量的两个向量间只有一位数据不同. 可以将表 1 中的向量调整成如表 2 的顺序, 使相邻向量间只有一位数据不同. 这样减少了数据跳变, 有利于降低测试期间的功耗. 表 2 的第 4 列给出了, 调整后向量间不同位的地址. 比较不同位地址发现, 地址序列前半部分是一个差值为 2 的等差数列 $0 \rightarrow 2$, 后半部分是一个差值为 2 的等差数列 $3 \rightarrow 1$. 这样的地址序列可以用文献[6]提出的, 加 2 可逆计数器生成. 我们称这样的计数器为地址计数器, 用它控制初始向量翻转, 可生成如表 2 的新次序折叠向量序列

表 1 折叠计数器生成的原始序列

序号	向量序列
0	0110
1	1001
2	1110
3	1101
4	1100

表 2 改变顺序后的折叠序列

序号	原序号	向量序列	不同位地址
0	0	0110	-
1	2	1110	0
2	4	1100	2
3	3	1101	3
4	1	1001	1

利用这种存储折叠计数器初始向量, 生成的折叠序列向量集, 可以有效地覆盖确定的测试向量. 存储少量

的折叠计数器初始向量或者叫折叠种子, 可以压缩测试集. 本文使用的测试集由改进的 ATPG 工具 FAN9V 生成, 这种测试集的特点是包含无关位很多. 压缩测试集的基本思想是: 存储少量折叠种子, 利用展开得到的折叠集测试大部分电路故障. 剩余故障所需的测试向量直接存储所需的控制信息. 基本步骤如下:

- (1) 在一个确定的测试集中, 选择一个向量作为折叠种子并把它展开成折叠集. 通过故障模拟比较, 该折叠集能够测出最多的未测故障.
- (2) 分析模拟结果, 删除已测故障对应原测试集中的向量. 然后评估折叠集检测未测故障的能力. 当折叠集检测到的未测故障大于一定值时, 跳转到(1), 否则跳转到(3).
- (3) 用图论中求解推销员问题的算法, 对测试集中的剩余向量排序, 使向量间变化位最少.
- (4) 对前 3 个步骤选出的折叠种子和向量进行编码.

本方案编码后的数据分两部分: 最高位是一个控制信息, 控制位为 1 时启动地址计数器, 生成折叠序列向量. 为 0 时不启动地址计数器, 紧跟其后的是地址信息, 记录了相邻向量间不同数据位的地址.

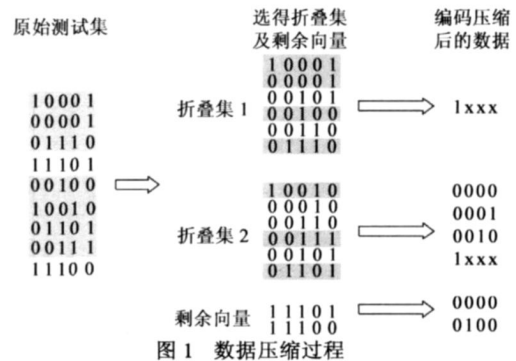


图 1 给出了一个测试集的处理实例. 原始测试集中有 9 个测试向量, 通过故障模拟筛选出两个折叠种子 10001 和 10010, 展开得到折叠集 1 和折叠集 2. 第一个折叠种子 10001 被预置在扫描链中, 所以只需要存储启动地址计数器信息 1xxx(x 为无关位), 展开后能覆盖原测试集中的 4 个向量. 第二个种子的第 0, 1, 2 位数据与折叠集 1 的最后一个向量不同, 所以需要记录信息 0000, 0001, 0010. 当折叠种子生成后, 需要启动地址计数器信息 1xxx, 折叠集 2 能覆盖原测试集中 3 个向量. 最后原测试集中只有向量 11101 和 11100 没有被覆盖到. 折叠集 2 的最后一个向量与向量 11101 比只有第 0 位数据不同, 所以记录的信息为 0000. 最后一个向量 11100 与向量 11101 比只有第 4 位数据不同, 所以记录信息为 0100. 数据压缩结果见图 1 的最后一列, 最高位被加粗表示控制位. 原始测试集需要存储 $5 \times 9 = 45$ 位数据, 经

过压缩只需要存储 $4 \times 7 = 28$ 位数据.

3 RAS 扫描单元组织

为了降低地址译码器的复杂度,减少测试时间和测试数据存储量.本方案用输入精简技术,将测试数据相容的扫描单元分在一组,压缩了扫描链的宽度.如表 3 所示,原始测试数据宽度为 6.根据输入精简技术[8],扫描单元可分为 $\{1, 4, 6\} \{2, 5\} \{3\}$ 三组,分组后向量宽度减为 3 如表 4 所示.对应扫描单元分组情况如图 2 所示.分组后每组只需要一个控制信号,从而降低了控制信号数.本方案采用了受限分组策略,规定每个分组所包含的扫描单元个数不得大于 16 个.如果不加限制条件,各个扫描单元分组大小数差别很大.当大的分组发生数据变化时会加大测试功耗.不加限制的分组策略还将使扫描链长度过短,从而影响折叠集测试的效果.

表 3 原始测试集

原始测试数据					
I_1	I_2	I_3	I_4	I_5	I_6
1	0	0	1	0	1
1	0	1	1	0	1
1	1	0	1	1	1

表 4 宽度压缩后的测试集

相容压缩结果		
I_1	I_2	I_3
1	0	0
1	0	1
1	1	0

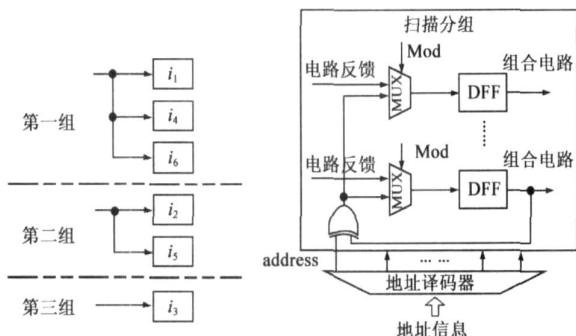


图 2 扫描单元分组结构

图 3 扫描单元连接图

本方案的扫描单元结构,和连接方法如图 3 所示.每个扫描单元由一个 2 选 1 的多路选通器和一个触发器组成.多路选通器由模式控制信号控制,当 $mod = 0$ 时扫描单元处于工作模式,选通电路反馈数据.当 $mod = 1$ 时扫描单元处于测试模式,选通测试数据.如图 3 所示,同一组扫描单元的连线方式不同.每组中有一个扫描单元的输出,和地址译码器输出信号 $address$ 异或后,作为这组扫描单元的测试数据.我们称这样扫描单元为主控扫描单元.同组中其他扫描单元,输出端没有反馈线,它们的测试数据由主控扫描单元广播得到.这样的扫描单元我们称之为从属扫描单元.从属扫描单元的数据和主控扫描单元的相同.下面分析主控扫描单元的数据变化:当某一组数据需要变化时,地址译码器选中这组.此时该组的控制信号 $address = 1$,主控扫描单元的输出经过异或门后取反,在下一个周期同组触发器状态改变.当

数据不需要变化时 $address = 0$,主控扫描单元的反馈数据经过异或门后不变,保证下个周期同组触发器数据不变.

4 解压电路结构

图 4 给出了本方案的解压电路结构框图.本文方案采用边界扫描技术,在测试模式下所有的输入端都接上一个触发器,用于生成测试数据.自动测试设备 ATE (Automatic Test Equipment) 中存储了上一节介绍的编码信息,低位地址信息 $data$ 经多路选择器送到地址译码器中.高位控制信号 ctl 送入缓存器,用于控制地址计数器的时钟和多路选通器.地址计数器由可逆的 ± 2 计数器构成,用做折叠控制器控制生成折叠集.当地址计数器计数结束时,产生一个结束信号,此信号作为地址计数器的置位信号,将计数器的所有位置为 0.

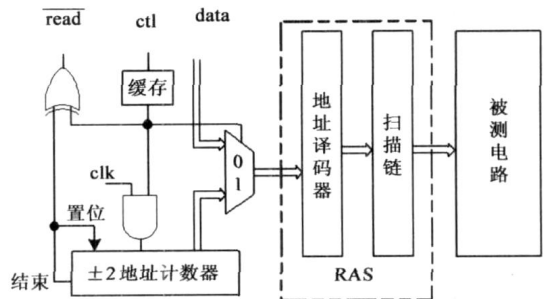


图 4 解压电路结构图

进入测试状态时扫描单元中预置第一个折叠种子, ATE 的读控制信号 $read$ 有效.当 $read$ 信号有效时 ATE 送一个编码数据到电路中,反之 ATE 不向电路送测试数据.当 ATE 送入的控制信号 ctl 为 1 时,多路选择器选通地址计数器输出,地址计数器的时钟信号有效,并使 $read$ 信号无效.当控制信号 ctl 为 0 时,多路选通器选通 ATE 送来的地址信息 $data$,地址计数器时钟信号无效, $read$ 信号有效.控制信

表 5 控制信号关系

ctl	结束	$read$	控制电路状态
0	0	有效	生成确定向量
1	0	无效	生成折叠集合
1	1	有效	折叠控制结束

号 ctl 为 1 时地址计数器生成折叠控制信号,当地址计数器计数结束时产生计数结束信号 1,此时结束信号和控制信号的异或结果使得 $read$ 信号重新有效.各个控制信号和控制电路的工作状态如表 5 所示.电路响应用空间压缩方法^[7],利用异或网络来统计输出端的输出特征.数据的解压逻辑过程如下:

- (1) ATE 送地址信号到 $data$ 端口,送控制信号到 ctl 端口.
- (2) 判断 ctl 值,如果为 0 则重复步骤(1).如果为 1 则转到步骤(3).
- (3) 地址计数器时钟有效,控制扫描链生成折叠集.

(4) 判断地址计数器结束信号值, 如果结束信号为 1 表明折叠控制结束, 转到步骤(1). 否则重复步骤(3)的状态

5 综合过程和参数分析

本方案综合过程如下: 首先分析 FAN9V 生成的测试集, 将数据间相容的列按输入精简规则分组. 然后在经过输入精简的测试集中选出几个向量作为折叠种子, 并生成折叠集加载到电路中检测大部分故障. 通过故障模拟摘除原测试集中的冗余向量, 并对剩余向量排序, 使向量间变化位最少. 最后对选出的折叠种子和向量编码, 结合本文的硬件便可用于测试.

测试时间分析: 本方案的测试时间开销由两部分组成, 第一部分是从 ATE 中输出数据所需时间, 这和记录的跳变信息总量 w 有关. 第二部分是控制折叠展开所需要的时间, 展开折叠集时间和测试向量长度有关. 对一个分组后长为 c 的向量, 展开成折叠集需要 $c+1$ 个时钟周期. 当选中的折叠种子个数为 m 时, 测试所需的时间 T 为: $T = w + m \cdot (c + 1)$. **测试数据量分析:** 本文存储的是向量间的跳变位地址信息, 和一位的控制信息. 一个长为 c 的向量, 需要 $k = \lceil \log_2^c \rceil$ 位数据来标识每位的地址. 当数据跳变量为 w 时, 存储的信息总量 $V = w \cdot (k + 1)$. **测试功耗分析:** 本文通过计算由数据变化引发跳变的节点, 占电路总节点的百分比来反映平均功耗 PA. 设电路内部有节点 N_g , 测试中每个时钟周期有 N_i 个节点发生了跳变. 则功耗计算公式如下:

$$PA = \sum_{i=1}^T N_i / (N_g \cdot T) \cdot 100\% \quad | \quad i \in (1 \dots T, T \text{ 为测试时间})$$

硬件开销分析: 本文用测试控制电路所需晶体管, 与功能电路所需晶体管的比值来反映硬件开销. 设电路有原始输入端 p 个, 扫描单元 N_f 个被分成 c 组. 用 SIS 工具综合得到功能电路的晶体管数为 N_t 个. 每个主从触发器由 16 个晶体管组成, 每个多路选择器由 4 个晶体管组成. 用传输管, 制作一个 \log_2^c 的地址解码器大约需要 $2 \cdot c$ 个晶体管. 制作一个宽度为 $k = \lceil \log_2^c \rceil$ 的地址计数器大约需要 $18 \cdot k$ 个晶体管. 制作一个异或门最多只需要 16 个晶体管. 本方案原始输入端口并不需要接触发器, 它们的测试数据可以由同组的主控扫描单元提供, 这些原始输入端口的硬件开销仅是一个多路选择器. 多扫描链方案的硬件开销主要是每个扫描单元中的多路选择器. 本方案的硬件开销主要由扫描单元中的多路选择器, 地址译码器, 地址计数器, 一组数据选通器, 原始输入端口的多路选择器, 和每个扫描分组的异或门构成. 他们对应的计算公式分别如下:

$$\text{多扫描链硬件开销} = (4 \cdot N_f) / N_t \cdot 100\%$$

$$\text{本方案硬件开销} = (4 \cdot N_f + 2 \cdot c + 18 \cdot k + 4 \cdot c + 4 \cdot$$

$$p + 16 \cdot c) / N_t \cdot 100\%$$

6 实验结果及分析

本文实验的硬件平台为 Sun 工作站, 软件平台为 SunOs5.8 和标准 C 语言. 将本文的方法用在 benchmark89 电路中, 得到如下实验结果:

表 6 给出了 PRAS(Progressive RAS) 方案^[4], 和本方案在测试时间和数据存储量上的比较. 第 2, 4 列分别给出了两方案的测试时间开销, 第 3, 5 列分别给出了两方案存储的测试数据量. 第 6 列给出了两方案的测试时间比= 本方案时间开销/ PRAS 方案^[4]时间开销; 第 7 列给出了两方案的测试数据量比= 本方测试数据量/ PRAS 方案^[4]测试数据量. 通过比较可见, 本方案的平均测试时间只有文献[4]的 34.48%, 本方案的平均测试数据量只有文献[4]的 33.07%.

表 6 测试时间和数据量比较

电路名	PRAS 方案 ^[4]		本文方案		测试时间比 (%)	测试数据比 (%)
	测试时间	测试数据量(bit)	测试时间	测试数据量(bit)		
S13207	11414	68093	2006	11018	17.57	16.18
S15850	7331	42284	2195	11284	29.94	26.69
S35932	9624	66010	1261	2800	13.01	4.24
S38417	18811	129737	6272	38467	33.34	29.65
S38584	18425	124940	10512	74680	57.05	59.77
平均	-	-	-	-	30.18	27.31

表 7 列出了 PRAS 方案^[4], 多扫描链方案, 以及本方案的平均测试功耗, 和硬件开销. 与传统的多扫描链方案相比, 本方案能有效的降低平均功耗. 但 S35932 电路例外, 这是由于它的测试向量存在大量较长的连续 0 和连续 1 块, 使得扫描移位过程的跳变较少. 本方案在降低平均功耗上的效果与 PRAS 方法^[4]相比较弱, 但是和多扫描链方法相比已经大大减少. 表 7 的第 3, 5, 7 列分别给出了多扫描链方案, PRAS 方案^[4], 本方案在晶体管的硬件开销. 通过比较可见本方案的硬件开销会大一些.

表 7 测试功耗和硬件开销比较

电路	多扫描链方案		PRAS 方案 ^[4]		本方案	
	平均功耗 (%)	硬件开销 (%)	平均功耗 (%)	硬件开销 (%)	平均功耗 (%)	硬件开销 (%)
S13207	35.41	8.0	0.129	9.5	2.47	11.9
S15850	23.80	6.4	0.294	7.9	3.04	9.9
S35932	2.52	8.2	0.051	8.1	2.92	11.5
S38417	44.88	7.2	0.002	7.2	1.27	10.4
S38584	36.90	6.4	0.127	6.5	3.76	9.2

7 结束语

本文用具有折叠控制功能的 RAS 结构实现了一个测试方案. 该方案先通过一个地址计数器控制扫描链生成几个折叠集, 测试大部分的故障. 然后对剩余故障的

测试向量排序提高相关性,从而有效控制了数据跳变对电路功耗的影响。由于折叠集需要存储的信息很少,宽度压缩后记录每个跳变需要存储的数据量变少,从而减少了测试数据量。RAS 结构实现了并行的折叠控制,同时输入精简技术减少了折叠集中向量的个数,从而有效的减少测试时间。实验结果表明和 PRAS 方案[4]相比,本方案在测试时间和测试数据量的优化上效果明显,同时兼顾了测试功耗上的改进。

参考文献:

- [1] 彭喜元,俞洋. 基于变游程编码的测试数据压缩方[J]. 电子学报, 2007, 35(2): 197- 201.
Pen Xi yuan, Yu Yang. A test set compression algorithm based on variable run length code [J]. Acta Electronica Sinica, 2007, 35(2): 197- 201. (in Chinese)
- [2] Gerstendorfer S, Wunderlich H J. Minimized power consumption for scan based BIST [A]. Proceeding of IEEE International Test Conference [C]. Atlantic, 1999. 77- 84. Dong Hyun Baik, Kewal k. Saluja, Seiji Kajiharda Random access scan: a solution to test power, test data volume and test time [A]. International Conference On VLSI Design [C]. Mumbai, 2004. 883- 888.
- [3] Dong Hyun Baik, Kewal K. Saluja Progressive random access scan a simultaneous solution to test power, test data volume and test time [A]. Proceedings of IEEE International test conference [C]. Austin, 2005. 359- 368.
- [4] Hui Guo Liang, Hans Joachim Wunderlich, Sybille Hellebrand A mixed mode BIST scheme based on reseeding of fold counters [A]. Proceeding IEEE International Test Conference [C]. Atlantic City, 2000. 778- 784.
- [5] 胡志国, 梁华国. 一种基于折叠序列重排并行低功耗自测试方案 [J]. 上海师范大学学报(自然版) 2005, 34(5): 103 - 107.
Hu Zhiguo, Liang Huoguo. A deterministic parallel low power BIST scheme based folding sequence reordering [J]. Journal of Shanghai Normal University (Natural Section) 2005, 34(5): 103 - 107. (in Chinese)
- [6] Fujiwara A, Yamamoto Parity scan design to reduce the cost of test application [J]. Transaction on Computer-Aided Design of Circuits and Systems, 1993, 12(10): 1604- 1611.
- [7] Chen C A, Gupta S K. A efficient BIST TPG design and test set compaction via input reduction [J]. Transaction on Computer Aided Design of Circuits and Systems, 1998, 17(8): 692- 705.

作者简介:



梁华国 男, 1959 年生于安徽省合肥市, 博士, 教授, 博士生导师, 主要研究方向为内建自测试、数字系统设计自动化、ATPG 算法、分布式控制等。

Email: hg.liang@mail.hf.ah.cn

祝沈财 男, 1980 年生于浙江省江山市, 硕士研究生, 主要研究方向为低功耗测试、测试数据压缩。

陈 田 女, 1974 年生于安徽省合肥市, 博士研究生, 主要研究方向为低功耗测试、测试数据压缩。

张 念 女, 1982 年生于安徽省合肥市, 硕士研究生, 主要研究方向为测试数据压缩。